### This Page Is Inserted by IFW Operations and is not a part of the Official Record

#### **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

#### IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents will not correct images, please do not report the images to the Image Problem Mailbox.

#### PATENT ABSTRACTS OF JAPAN

(11)Publication number:

05-055900

(43) Date of publication of application: 05.03.1993

(51)Int.CI.

H03K 19/0185

(21)Application number: 03-237216

(71)Applicant: SONY CORP

(22)Date of filing:

22.08.1991

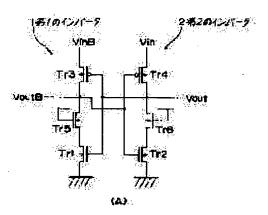
(72)Inventor: USUKI HIDEKI

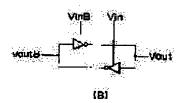
#### (54) LEVEL CONVERSION CIRCUIT

#### (57)Abstract:

PURPOSE: To execute level conversion from small input amplitude to large output amplitude by sufficiently reducing the current driving capacity of a MOS transistor(TR) to be connected to a fixed power supply as compared with the power supply driving capacity of a TR to be connected to a power supply for supplying an input signal.

CONSTITUTION: A level conversion circuit uses CMOS constitutional inverters 1, 2 consisting of the 1st pMOS TRs 3, 4 and the 2nd nMOS TRs 1, 2 and sets up an FF to a reference type. Input signals Vin, VinB are supplied from the power supply sides of the inverters 1, 2. On the other hand, outputs Vout, VoutB are extracted from nodes between the TRs 3, 4 and the TRs 1, 2 and, the current driving capacity of the TRs 1, 2 connected to the voltage fixed side power supply is set up to a value sufficiently smaller than that of the signal input side TRs 3, 4. Thereby an input threshold is dropped only by the input thresholds of the power supply side TRs 3, 4 to





which an input signal is supplied, a stable point is moved by a slight change in the input signal and small input amplitude is level-converted into large output amplitude.

#### **LEGAL STATUS**

[Date of request for examination]

04.08.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3079675

[Date of registration]

23.06.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

3

那年

## 特開平5—55900

(43)公開日 平成5年(1993)3月5日

드

庁内整理番号

撤別記号

H 0 3 K 19/0185

技術表示箇所

8 H03K 19/

8989-5J

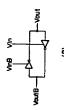
ш 101 審査請求 未請求 請求項の数2(全5頁)

(21)出願番号	特顏平3—237216	(71)出國人	(71) 出願人 000002185	
			ソニー株式会社	
日期刊(22)	平成3年(1991)8月22日		東京都品川区北岛川6丁目7番35号	
		(72)発明者	日木 秀樹	
			東京都品川区北品川6丁目7番25号 ソニ	~
			一株式会社内	
	<del></del>	(74)代型人	74)代理人 弁理士 船橋 国則	

# (54)【発明の名称】 レベル変換回路

[目的] DC電流を消費することなく高速動作が可能 なレベル変換回路を提供する。

2)とからなるCMOS構成のインパータ1、2を用い 構成し、上記各インバータ1、2の電源側から入力信号 Vin, VinBを供給するようになすとともに、出力 ジスタTr3 (Tr4) と第2の導電型MOSトランジ て、フリップフロップを基本形とするレベル変換回路を 【構成】 第1の導電型MOSトランジスタTr3 (T r 4) と第2の導電型MOSトランジスタTr1 (Tr Vout, VoutBを上配第1の導電型MOSトラン し、かつ亀圧固定側の電源に接続されるトランジスタT r 1 (Tr 2) の電流駆動能力を、上記信号入力側のト ランジスタTr3(Tr4)の電流駆動能力よりも十分 スタTr1 (Tr2) との接続点から取り出すように



天形がつしいん大林回路

[特許請求の範囲]

ジスタによってそれぞれ構成される第1のインパータお (請求項1】 第1の導電型MOSトランジスタと第2 D導電型MOS トランジスタとからなるCMOS トラン よび第2のインパータを具備し、

ら取り出すようにし、かつ上記入力信号が供給される電 L配各インバータの電源側から入力信号を供給するよう になすとともに、出力を上配第1の導電型MOSトラン ジスタと第2の導電型MOSトランジスタとの接続点か 原側に接続されるトランジスタの電流駆動能力を大きく し、電圧固定側の電源に接続されるトランジスタの電流 駆動能力を上記信号入力側のトランジスタと比較して充 分に小さくしたことを特徴とするレベル変換回路。

ジスタによってそれぞれ構成される第1のインバータお 【請求項2】 第1の導電型MOSトランジスタと第2 の導電型MOSトランジスタとからなるCMOSトラン よび第2のインパータを具備し、

ら取り出すようにし、かつ上記出力の取り出し点と上記 上記各インパータの電源側から入力信号を供給するよう になすとともに、出力を上配第1の導電型MOSトラン ジスタと第2の導電型MOSトランジスタとの接続点か 固定電源側に接続されるトランジスタとの間に、上記固 **定電版側に接続されるトランジスタの電流能力を開整す** 5 ためのMOSトランジスタを介散したことを特徴とす

「発明の詳細な説明】

5 アペケ液数回路。

[0001]

り、特に、消費電流を増大させることなく高速動作を行 【産業上の利用分野】本発明はレベル変換回路に係わ うようにするものに用いて好適なものである。

[0002]

い電圧振幅の信号を増幅して大振幅の信号に変換するた めに、従来よりレベル変換回路が用いられている。図8 および図9は、従来より用いられているレベル変換回路 て、図8はフリップフロップを使った例を示し、図9は **[従来の技術] 例えば、ECLレベル等のように、小さ** の一例を示している。これらのフベル変換回路におい カレントミラーを使った例を示している。

[9000]

【発明が解決しようとする課題】図8および図9に示し たレベル変換回路は、出力負荷の駆動能力を高めるため には、使用している素子の電流駆動能力を大きくする必 **要がある。しかしながら、これらのレベル変換回路には** DC電流が流れるので、駆動能力を高めるとDC消費電 **流が増加してしまう。したがって、従来のレベル変換回** 路の場合には、スピードがDC消費電流とのトレードオ フによって決まってしまう問題があった。本発明は上述 の問題点に鑑み、DC電流を消費することなく高速化が 可能なレベル変換回路を提供できるようにすることを目 [0000]

ってそれぞれ構成される第1のインバータおよび第2の **力信号が供給される電源側に接続されるトランジスタの** は、第1の導電型MOSトランジスタと第2の導電型M の導電型MOSトランジスタと第2の導電型MOSトラ ンジスタとの接続点から取り出すようにし、かつ上配入 **電流駆動能力を大きくし、電圧固定側の電源に接続され** るトランジスタの電流駆動能力を上配信号入力側のトラ 明の他の特徴とするところは、第1の導電型MOSトラ 【麒騒を解決するための手段】本発明のレベル変換回路 OSトランジスタとからなるCMOSトランジスタによ インパータを具備し、上記各インパータの電源側から入 力信号を供給するようになすとともに、出力を上配第1 ノジスタと比較して充分に小さくしている。また、本発 ンジスタと第2の導電型MOSトランジスタとからなる CMOSトランジスタによってそれぞれ構成される第1 のインバータおよび第2のインバータを具備し、上配各 インバータの電源側から入力信号を供給するようになす とともに、出力を上記第1の導電型MOSトランジスタ と第2の導電型MOSトランジスタとの接続点から取り 出すようにし、かつ上記出力の取り出し点と上記固定電 **顔側に接続されるトランジスタとの間に、上配固定電顔** 剛に接続されるトランジスタの電流能力を調整するため のMOSトランジスタを介取している。

することにより、レベル変換回路の入力しきい値が上記 [作用] 固定電源側に接続されるMOSトランジスタの **鷺流駆動能力を、入力信号が供給される電源側に接続さ れるトランジスタの電流駆動能力に比べて十分に小さく** 入力信号が供給される電源側に接続されるトランジスタ の入力しきい値分だけ下がり、入力倡号の僅かな変化で 安定点が移動することとなり、小さな入力版幅が大きな 出力版幅にレベル変換される。 [0005]

[実施例] 図1は本発明のレベル変換回路の一実施例を ある。図1の (A) から明らかなように、本実施例のレ 示し、図1の (A) は回路図、図1の (B) は構成図で ベル変換回路はCMOSインバータから構成されるフリ ップフロップを基本としている。 【0007】すなわち、第1のCMOSインバータ1は nMOSトランジスタTr1、pMOSトランジスタT r 3よりなるCMOSインバータを基本とし、これらの nMOSトランジスタTr1とpMOSトランジスタT r3との間に、nMOSトランジスタTr5を介設して は、nMOSトランジスタTr2およびpMOSトラン ゾスタTr4との間に、nMOSトランジスタTr6を これらのnMOSトランジスタTr2とpMOSトラン ジスタTr4よりなるCMOSインバータを基本とし、 構成されている。一方、第2のCMOSインバータ2 **介散して構成されている。**  €

いる各トランジスタTr5、Tr6は、インバータを流 れる貫通電流を制限するために散けられているものであ ジスタTr5、Tr6よりも充分に大きな駆動能力を持 【0008】これらのCMOSインバータに介設されて り、CMOSインバータを構成する各トランジスタTr 1、Tr2、Tr3、Tr4は、介設されているトラン ったMOSトランジスタが用いられている。

[0014]

パータを示しており、図2の (A) は構成図、 (B) は きい値は、およそVin-Vthp(Vthp=pMO SトランジスタのVth)となる。このインバータを用 【0009】図2は、フリップフロップを構成するイン いてフリップフロップを構成した場合、Vin=Vin うになる。図4から明らかなように、Vin=VinB の入出力特性を示している。図2のインバータの入力し Bの時のバタフライプロットは、図4の特性図に示すよ 回路図をそれぞれ示している。また、図3はインバータ の時には安定点が二つあり、データはラッチされる。

なり、出力はその安定点に移動する。したがって、この n=VinB+Vthp+aとなると、安定点は一つに 場合は入力振幅Vthp+aが、出力振幅Vin+aに レベル変換されたことになる。なお、データを反転させ るときには、VinB=Vin+Vthp+aとすれば 【0010】ところが、図5の特性図に示すようにVi

ル変換動作を示す波形図である。図6において、実線の 【0011】図6は、本実施例のレベル変換回路のレベ (c) はVinBを示し、二点類線の特性曲線 (d) は VoutBを示している。図6から明らかなように、本 実施例のレベル変換回路は1. 4V程度の入力振幅が5 特性曲線(a)はVinを示し、破線の特性曲線(b) はVoutを示している。また、一点鎖線の特性曲線 Vの出力板幅にレベル変換されることが判る。

する。すなわち、①DC消費電流が流れない。②各々の を気にせずに高速化が可能である。③ただし、入力板幅 【0012】上記したようにしてレベル変換が行われる ので、本実施例のレベル変換回路は次のような特性を有 トランジスタ素子の電流駆動能力を大きくすることによ り、次段の出力駆動能力を上げることができ、DC電流 はVthp以上必要であり、入力感度はVthp以下に はできない。④出力振幅は、入力電圧レベルVin, V in BからGNDまでフルスイングする。

[0013] 図7は、ブルアップのpMOSトランジス タTr3、Tr4にパイポーラトランジスタQ1,Q2 る。すなわち、図1に示した回路のようにバイポーラト ランジスタQ1, Q2が付加されていない回路では、出 カのプルアップを高速化するためには p MOSトランジ スタTr3、Tr4のサイズをかなり大きくする必要が を付加して出力駆動能力を増加させた回路を示してい

ランジスタTr3、Tr4のサイズを大きくすることな ある。しかし、図7の回路のように、パイポーラトラン ジスタQ1, Q2を付加することによって、pMOSト く高速化が可能になる。 【発明の効果】本発明は上述したように、第1の導電型 とからなるCMOSトランジスタによって構成される第 ジスタと第2の導電型MOSトランジスタとの接続点か ら取り出すようにし、かつ上記入力信号が供給される電 **入力しきい値が下がり、入力信号の僅かな変化で安定点** を移動させることができる。したがって、小さな入力振 したので、上記入力信号が供給される電源側に接続され るトランジスタの入力しきい値分だけレベル変換回路の MOSトランジスタと第2の導電型MOSトランジスタ 1のインバータおよび第2のインバータを用いて、フリ 上記各インバータの電源側から入力信号を供給するよう になすとともに、出力を上記第1の導電型MOSトラン 原側に接続されるトランジスタの電流駆動能力を大きく し、電圧固定側の電源に接続されるトランジスタの電流 駆動能力を上記信号入力側のトランジスタよりも小さく DC電流を消費することなく行うことができ、消費電流 ップフロップを基本形とするレベル変換回路を構成し、 幅を大きな出力版幅に変換するためのレベルシフトを、 を気にすることなく高速化を可能にする。

【図1】本発明の一実施例を示すレベル変換回路の回路 [図面の簡単な説明]

供解例のレベル教練回路

図および構成図である。

【図2】 インバータ構成図および回路図である。 【図3】インバータの入出力特性図である。 【図4】Vin=VinBの時のパタフライプロットを 下す特性図である。 【図5】 Vin=VinB+Vthp+aの時のパタフ ライプロットを示す特性図である。

【図6】図1の回路動作を示す液形図である。

【図7】本発明の応用例を示す回路図である。

[図8] 従来例を示し、フリップフロップを用いたレベ **小変換回路図である。**  [図9] 従来例を示し、カレントミラーを用いたレベル 変換回路図である。

[符号の説明]

第1のCMOSインベータ

第2のCMOSインバータ Vin 入力信号

VinB 反転入力信号 Vout 出力信号

Vthp pMOSトランジスタのしきい値 Vout B 反転出力信号

大部 ぎのインバータ (ZZ) 3 図1

[図5]

VinB-Vito -Ę

Vin=VinB+Vthp+なの母のバタフライプロット

[図7]

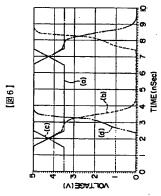
[図4]

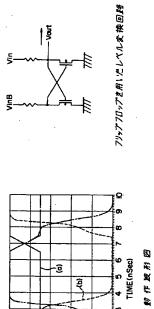
[図3]

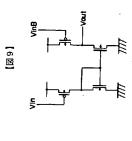
后用引きボナ回路图

インバータ人出か時在

[图图]







カレントドラーを用いたレベル変換回路